

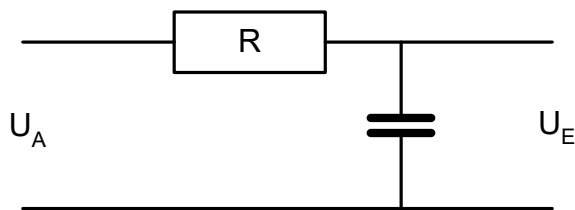
Zeitverhalten

- **Zeitverhalten wird bestimmt durch**
 - Laufzeiten durch aktive Elemente (Gatter)
 - In FPGAs i.d.R. nicht das dominante Element
 - Laufzeiten auf Leitungen (Tiefpass)
 - Speziell bei FPGAs teilweise **erhebliche Unterschiede zwischen zwei Signalen** auf unterschiedlichen Leitungen (Place & Route)
- **Probleme unterschiedlich**
 - Kombinatorik: **Spike**
 - DFF: **Metastabiler Zustand**

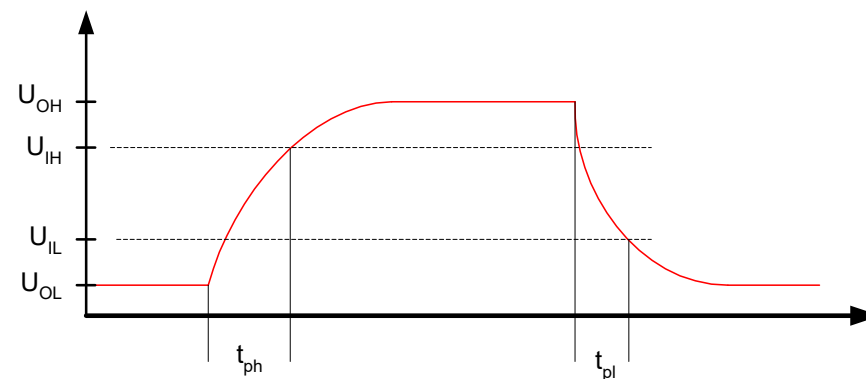
Ursachen für Verzögerungen

- **Reale Schaltung schaltet mit Verzögerung**
 - Gatterlaufzeiten innerhalb der Logikgatter
 - Leitungslaufzeiten zwischen den Gattern

Modell einer Leitung

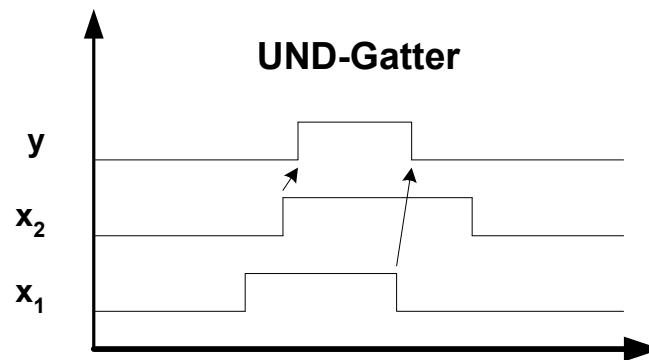


Spannungsverlauf



Abstraktion

- **Annahme einer Verzögerung des Signalverlaufs**
 - Signal bleibt digital und im Verlauf erhalten
 - Signal wird **nur um** eine Zeit t_{pd} **verschoben**
 - pd: **p**ropagation **d**elay
 - Ggf. Unterscheidung H->L und L -> H
 - Back Annotation nach Place & Route zur genaueren Simulation



Verhalten logisch

- **Testschaltung „Multiplexer“**
 - Umschaltung zwischen Eingängen mit demselben Wert

Wertetabelle Multiplexer

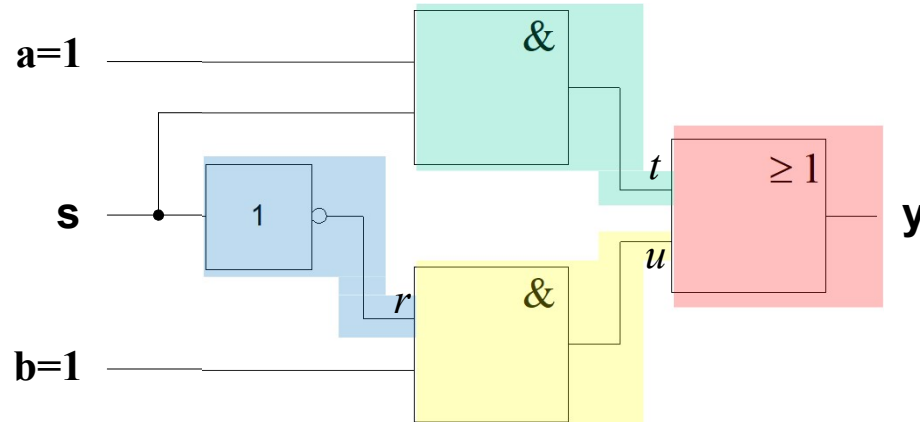
s	a	b	y
0	1	-	1
1	-	1	1

Annahme: a=1, b=1,
s wechselt von 1 auf 0



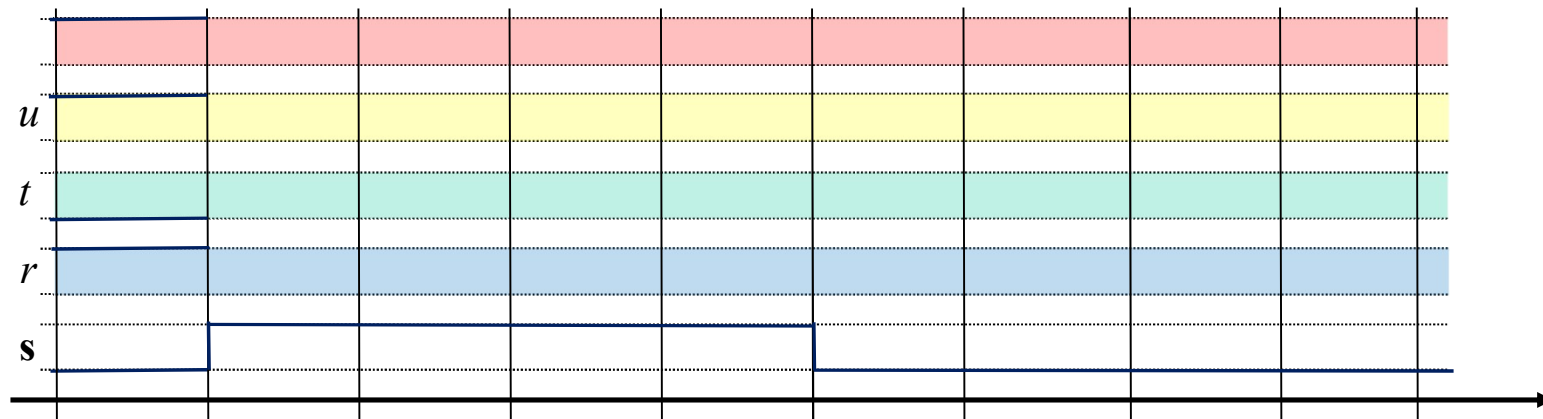
y bleibt immer 1

Simulation Unit Delay Model

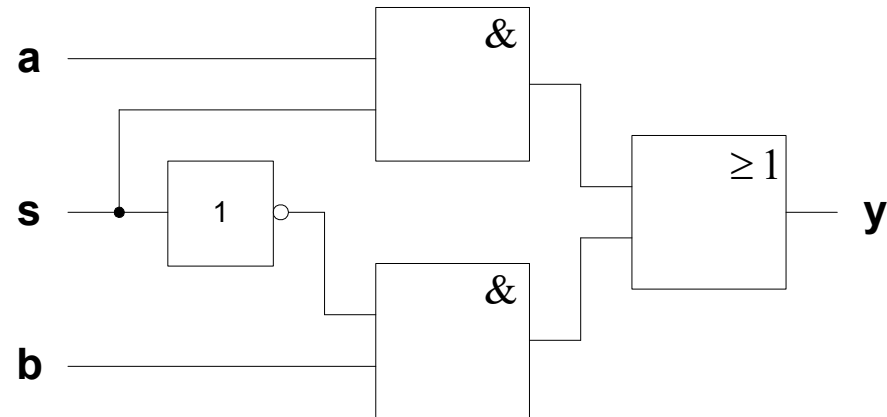


Abdeckung der Schaltung
nach einheitlichem Prinzip
(hier: Eingang \rightarrow Eingang)

Jede Einheit verursacht eine
Verzögerung (hier identisch)



Verhalten physikalisch



s	a	b	y
-	0	-	0
-	-	0	0
0	1	1	1
1	1	1	1
0->1	1	1	1
1->0	1	1	101

nur hier Abweichung

Spike - Problematik

- **Spikes**
 - treten in kombinatorischen Schaltungen auf
 - sind (zunächst) seltene Ereignisse
 - schwer nachstellbare Fehler
 - können „ausgesessen“ werden (längster Pfad)

- **Signale mit Spikegefahr**
 - sind als Taktquellen ungeeignet
 - können ggf. über DFF „entstört“ werden
 - Taktperiode an längsten Pfad anpassen
 - Verzögerung um einen Takt in Kauf nehmen

Spike - Eigenschaften

- **Bei unterschiedlich langen Pfaden zum selben Gatter trifft ein Signal später ein (race condition)**
 - kurzfristig können **Werte abweichend vom Endwert** am Ausgang des Gatters entstehen (**Spike**)
 - Spikeentstehung hängt ab von
 - Belegung der anderen Signaleingänge
 - Art der Signaländerung
 - Topologie der Schaltung (Struktur)
 - Physikalischen Bedingungen (Technologie, Verdrahtung etc.)
- **Stabiler Endwert spätestens nach Verzögerungszeit des längsten Pfades**

Modellierung in VHDL

- **Signale haben einen Zeitverlauf**
- **Nur zur Simulation, nicht zur Synthese**
- **Syntax**
 - ziel <= [modell] waveform; (modell optional)
 - modell: transport / reject / inertial (inertial ist default)
 - waveform: element [, element]
 - element: wert [after zeit] (zeit optional, default 0)

```
-- OK, puls zwischen [7ns, 25ns[
reset <= '0', '1' after 7 ns, '0' after 25 ns;

-- nicht OK, da parallele Zuweisung (nicht nacheinander)
clk <= '1' after 7 ns;    -- clk auf 1 für t≥7ns
clk <= '0' after 25 ns;  -- clk auf 0 für t≥25ns;
```

Dynamik am DFF

- **3 wesentliche Zeiten am DFF**
 - alle Zeiten bezogen auf die aktive Taktflanke T
 - t_{pd} Verzögerung T \rightarrow Q (analog t_{pd} Gatter)
 - t_s Setup: Mindestzeit, in der D vor T stabil bleiben muss
 - t_h Hold: Mindestzeit, in der D nach T stabil bleiben muss

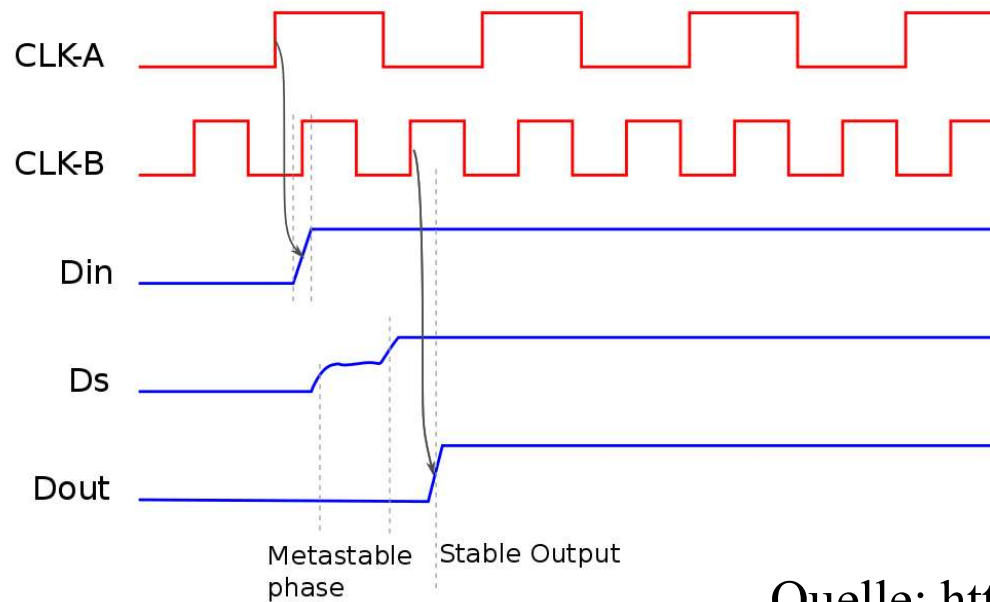
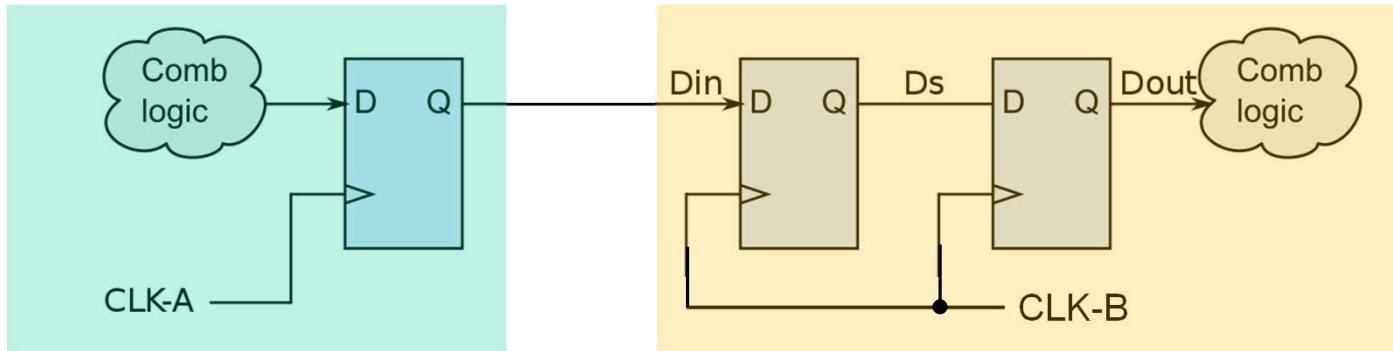
- **Metastabiler Zustand**
 - Ursache ist Verletzung von t_s oder t_h
 - Q hat für unbestimmte Zeit einen unbestimmten Wert

Synchrones Design

- **(möglichst) alle DFF schalten mit demselben Takt**
 - Eine gemeinsame Taktleitung (im FPGA vorhanden)
 - Unterschiedliche Frequenzen durch Taktfreigaben
 - Hohe Impulsströme möglich (Elemente schalten zum gleichen Zeitpunkt)

- **Sofern nicht möglich:**
 - Größere Bereiche mit gleichen Takt bilden
 - **Übergänge** von einem Bereich zum anderen **kann Einsynchronisieren** von Signalen erfordern

Übergang zwischen Taktbereichen



Quelle: <https://vlsi.pro/metastability/>